

考虑多输入转换效应的时序建模

丁文杰, 姜海洋, 张展华, 曹鹏*

(东南大学 国家 ASIC 工程中心, 南京 210096)

摘要: 随着集成电路工艺的不断发展和因电路工作主频的提升和工艺偏差影响的加剧, 导致多输入转换(MIS)效应对电路静态时序分析的影响愈发不容忽视, 使得传统的单输入转换(SIS)模式单元时序建库方式难以规避保持时间和建立时间的违规。为了表征 MIS 效应在时序分析中的影响, 近年来多个 MIS 延时模型被提出, 但目前大多数模型忽略了输入转换时间和负载对 MIS 效应的影响, 因此精度不高。同时这些模型分别对每个单元进行建模, 忽略了 MIS 效应与单元的晶体管级拓扑结构的关系, 进一步影响了表征精度且需要较高表征成本。本文提出了一种基于异质图神经网络(MIS 单元延时预测框架, 将多输入单元的晶体管级拓扑电路建模成为异质图, 利用异质图对影响 MIS 延时因素进行了全面且有效的表征, 多个输入门的 MIS 效应可以训练为统一模型。在 16 nm 工艺下, 该模型在多组多输入单元上进行了验证。实验结果表明, 该模型在将建模开销减少至 ANN 模型所需开销 8.8% 的情况下, 对于单元的平均误差仅为 1.19%, 相比 ANN 模型, 精度提高了 2.05 倍。

关键词: 多输入转换; 异质图神经网络; 单元延时模型; 静态时序分析

中图分类号: TN47

文献标识码: A

Modeling the effects of multiple-input switching

DING Wenjie, JIANG Haiyang, ZHANG Zhanhua, CAO Peng

(National ASIC System Engineering Technology Research Center, Southeast University, Nanjing 210096, China)

Abstract: With the advancement of integrated circuit technology and the increasing operating frequency of circuits, the impact of Multiple-Input Switching (MIS) effects on circuit static timing analysis has become more prominent, exacerbated by process variations. Traditional Single-Input Switching (SIS) timing library construction methods struggle to handle violations of hold time and setup time. In recent years, several MIS delay models have been proposed to characterize the influence of MIS effects in timing analysis. However, most of these models overlook the impact of input switching time and load on MIS effects, resulting in pessimistic and less accurate predictions. Furthermore, these models individually model each unit without considering the relationship between MIS effects and the transistor-level topology of the unit, leading to decreased accuracy and higher characterization costs. To address these challenges, this paper proposes a novel MIS unit delay prediction framework based on heterogeneous graph neural networks. The transistor-level circuitry of multiple-input units is modeled as a heterogeneous graph, providing a comprehensive and effective representation of factors influencing MIS delay. Multiple-input gate MIS effects are trained as a unified model within this framework. In the context of the 16 nm process, the proposed model is validated on multiple-input units. The experiment results indicate that while reducing the modeling cost to 8.8% of the cost required by the ANN model, the model achieves an average error of only 1.19% for units. Compared to the ANN model, the accuracy has improved 2.05 times.

Keywords: multiple input switching; heterogeneous graph neural networks; cell delay model; static timing analysis

基金项目: 国家自然科学基金(62174031)。

丁文杰(硕士研究生), 主要研究方向为基于机器学习的时序预测和优化方法; 姜海洋(已获得硕士学位), 主要研究方向为数字集成电路静态时序分析与优化; 张展华(硕士研究生), 主要研究方向为基于机器学习的时序预测和优化方法。

* 通信作者, E-mail: caopeng@seu.edu.cn。

0 引言

静态时序分析工具根据标准单元时序库信息对时序路径上的单元延时和线延时进行高效计算,进而检查路径延时是否满足时序约束。在传统的静态时序分析中,采用的单元延时模型是假设门在输入信号转换时仅有一个输入转换,而其他输入均保持在非控制值(non-controlling values),即单输入转换(Single-Input Switching, SIS)模型。这种基于单输入转换模型的优点是描述开销和输入的个数呈线性关系,但不能捕获实际电路中多个输入可能同时转换的可能性^[1]。在实际电路的信号传播中,多输入单元的不同输入信号可能在同一时间或者较接近的时间内转换,这种一个单元多个输入同时转换的情况被称为多输入转换(Multiple-Input Switching, MIS)^[2]。单元在多输入转换情况下的实际 MIS 延时相对于基于单输入转换分析假设下计算的 SIS 延时可能有显著的变化。标准单元时序库的建立需要耗费大量的时间和仿真成本,各种效应对时序的影响及其表征难度较大,如何快速准确地建立标准单元时序库成为当前集成电路设计所需要面临的挑战。

随着集成电路的不断发展以及工艺节点的不断进步,所设计电路的工作频率越来越高,在先进工艺节点上工艺引起的变化影响越来越大,导致 MIS 效应出现的概率增大,因此 MIS 效应对表征问题仍然面临较大挑战。近年来,学术界和工业界提出了许多考虑 MIS 效应的单元时序模型,参考文献[3]提出了一种方法,基于二叉树算法找出单元在多种输入模式下的最坏情况下的 MIS 延时,仅引入了较小的仿真开销,但这种方法并没有考虑输入转换时间和输出负载的影响,得到的 MIS 延时精度不高,且较为悲观。参考文献[4]和[5]通过复杂的映射算法将多输入单元等效成为一个反相器,并通过输入转换时间来推导具有串并联晶体管结构的单元的电流和延时,但这类算法过于复杂,在时序分析流程中难以表征。因此,在静态时序分析流程中,需要一个可以考虑 MIS 效应的单元时序模型来表征 MIS 效应对延时产生的影响。

同时,机器学习领域也在快速发展,基于机器学习的方法已经出现在电子设计自动化(EDA)的应用中,特别是在单元库表征领域中。参考文献[6]提出了一种基于机器学习来表征 MIS 效应的方法,评估了线性回归、多项式回归、支持向量机和人工神经网络(Artificial Neural Network, ANN)在表征 MIS 效应上的表现。其中 ANN 算法的预测精度最好,此方法对每个多输入单元的每个输入模式进行单独训练,得到输入模式特定的 ANN 模型参数。

在以往的工作中,大部分采用裕量对 MIS 效应进行

最坏情况的建模,或将其拟合为输入间偏斜的线性函数,并且忽略了 MIS 延时与输入转换时间、负载电容和单元输入模式的相关性,无法获得较好的精度,导致对 MIS 效应的估计过于乐观或悲观。为了解决上述问题,本文提出了一种基于异质图神经网络的 MIS 单元延时预测模型,获得 MIS 延时与 SIS 延时的差值,对路径延时进行修正获得考虑 MIS 延时后的路径延时,从而减少由于 MIS 效应导致的保持时间检查和建立时间检查时的乐观分析,并降低 MIS 单元时序建模仿真开销。

1 时序分析和相关算法

1.1 静态时序分析

静态时序分析(Static Timing Analysis, STA)是用来验证数字集成电路设计时序要求的一种完全且详尽的方法。随着电路规模越来越大,STA 已经成为详尽的验证设计时序的必要方法。STA 进行两项主要的检查,分别是建立时间(setup time)检查和保持时间(hold time)检查。建立时间检查要求在时钟信号到达触发器之前,数据在一定时间内保持稳定,从而确保数据稳定地捕获到触发器中。保持时间检查要求在触发器的时钟信号有效沿之后的一定时间内被锁存的数据应保持稳定,从而确保正在变化的触发器输出值不会传播到捕获触发器。

以 PrimeTime 工具为例,对已有静态时序分析(STA)工具的 MIS 表征方法进行介绍。现有的 STA 工具通过对单元延时增加一个裕量(margin)来表征 MIS 效应对单元延时的影响。具体来说,设置单元特定的 MIS 系数 σ ($0 < \sigma < 1$),再将计算的 SIS 延时乘以这个 MIS 系数,如式(1)所示,从而获得 MIS 延时。为了确定每个单元以及每个输出转换类型(输出上升或下降)对应的 MIS 基系数,需要使用晶体管级仿真工具或者其他仿真工具获得所有输入同时转换时的 MIS 基系数。

$$t_d^{MIS} = \sigma \cdot t_d^{SIS} \quad (1)$$

但是,STA 工具在 MIS 模式下的 MIS 基系数需要设计人员自行设置,且不考虑输入转换时间和输出负载的变化对 MIS 基系数的影响。对于一个多输入单元,在 STA 工具的分析过程中, MIS 基系数的值是不变的。另外,STA 工具 MIS 模式对不同输入间偏斜下的 MIS 延时的表征精度较低,并且不能判断单元的输入引脚在何种状态下会发生 MIS 效应使延时降低。

1.2 单元时序模型

传统的单元时序模型基于单输入转换(SIS)建立, SIS 时序模型假设对于某个时序弧在信号传播时只有一个输入转换,而其他输入恒定为非控制电平。在 SIS 分析中,一旦关联输入转换,就能使栅极为关联输入的晶体管所在

的一条电流路径导通,且其他与之并联的电流路径均不导通。

以 NAND2 门为例,对于 A_1 (下降)到 Z_N (上升)的时序弧, A_1 为关联输入, A_2 为侧输入,NAND2 门的控制电平为低电平,非控制电平为高电平,即在对 A_1 下降到 Z_N 上升的时序弧进行延时模型建立时,SIS 分析设定 A_1 信号下降, A_2 信号恒为高电平,如图 1(a)所示。然而,在实际电路中,一个多输入门的不同输入引脚存在同时或相近时间内转换的可能性,即多输入转换(MIS, Multiple-Input Switching),如图 1(b)所示,NAND2 为门的输入 A_1 和 A_2 同时下降,使 Z_N 上升。

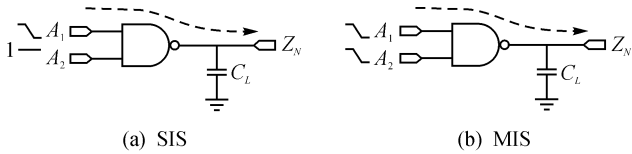


图 1 基于 SIS 和 MIS 的单元延时建模的输入波形

Fig. 1 Input waveform of unit delay modeling based on SIS and MIS

相较于单输入转换,多输入单元的输入模式、输入间偏斜、输入转换时间、输出负载、单元尺寸等均会对 MIS 延时产生影响。仍以 NAND2 单元为例,如图 2(a)所示,当上拉或下拉网络输入信号同时变化时,会导致晶体管充放电速度不同,从而改变传播延时;如图 2(b)所示,当输入间偏斜较小时,表示输入信号同时或在相近时间内翻转,此时单元延时受 MIS 效应影响,与 SIS 延时的差别较大。

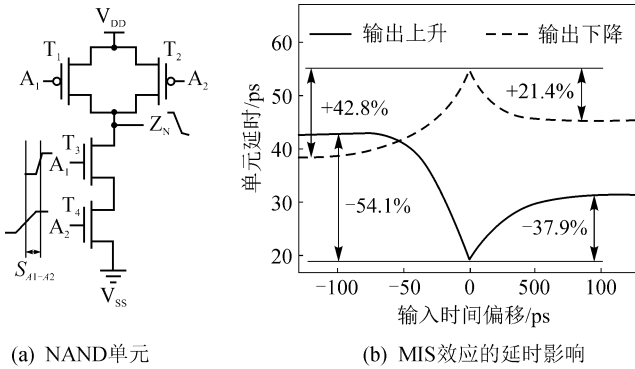


图 2 双输入 MIS 效应下的 NAND 单元延时变化示意图

Fig. 2 Schematic diagram of NAND unit delay variation under dual input MIS effect

MIS 延时与 SIS 延时的差值称为 MSD (MIS - SIS difference),也可以称为延时校正量。如果门单元实际 MIS 延时与计算的 SIS 延时相差较大,会错误估计组合逻辑的延时大小,可能会出现建立时间或保持时间违规,从而错误地计算电路最高频率。

1.3 图神经网络

近年来,深度学习已经在图像识别、目标检测、自然语言处理等领域得到了广泛应用^[7],其中图神经网络受到研究人员的广泛关注。近年来,在 EDA 领域也受到了广泛关注,多种 GNN 框架已经被应用到晶体管级电路相关问题^[8-9]。图神经网络旨在将节点的信息编码为低维向量,从而能够最大限度地保留图结构的信息,能够将具有相似局部结构的节点编码为嵌入空间(如欧式空间)中相似的嵌入向量,从而对节点的特征进行学习。

图可以被定义为 $G=(V,E)$,其中, V 表示节点 v_i 的集合, E 表示边 e_{ij} 的集合,边 e_{ij} 为节点 v_i 和节点 v_j 之间的边。在图神经网络中,常用邻接矩阵来表示节点之间的连接关系,表示为 $A \in R^{n \times n}$ 。其中, n 为图的节点个数,若节点 v_i 和 v_j 之间有连接关系,则 a_{ij} 为 1,否则为 0。 $X \in R^{n \times k}$ 为节点的特征矩阵,其中每个节点的特征向量维度为 k 。通过嵌入传播迭代地聚合目标节点邻域的信息,通过堆叠多个传播层获得高阶邻域信息来更新目标节点表示。

其中,异质图(heterogeneous graph)区别于同质图(homogeneous graph),是一种具有多种节点类型或多种边类型的图数据结构^[10],同质图中仅包括相同类型的对象和连接关系,网络结构较为简单,在某些应用场景中会造成信息损失,而异质图可以用于刻画复杂的异质对象及其交互关系,考虑了不同关系下的邻居信息的差异,从而保留了更全面的结构信息。

2 基于异质图神经网络的 MIS 单元延时模型

2.1 模型样本数据生成流程

模型样本数据生成流程主要包括模型样本初始生成、训练样本预处理以及时序仿真。特征的选择对于模型精度具有重要的影响,如果特征与预测任务相关度较高,会使模型的预测精度有较大的提升。MIS 延时受单元的输入模式、输入间偏斜、输入转换时间、输出负载、单元尺寸的影响较大。因此,对于每种单元的输入模式,模型的样本数据由输入间偏斜、关联输入转换时间、侧输入转换时间和输出负载的各种组合以及每种组合对应的延时校正量组成。

模型训练样本生成流程如图 3 所示,首先对于每种单元输入模式,找到其对应的 SIS 时序弧及该时序弧在 SIS 时序库中的查找表,得到输入转换时间和输出负载的索引值(index values)列表以及各索引值组合对应的 SIS 时序信息。将 SIS 分析中输入转换时间的索引值列表作为 MIS 分析中关联输入和侧输入转换时间的索引值列表,并将 SIS 分析中输出负载的索引值列表作为 MIS 分析中输

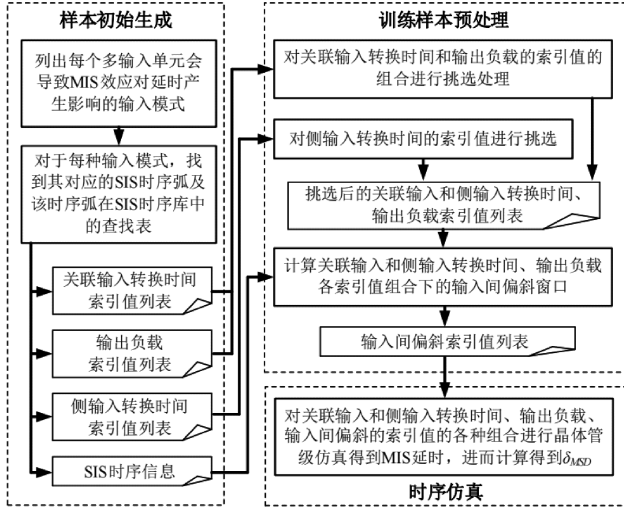


图3 模型训练样本生成流程

Fig. 3 Model training sample generation process

出负载的索引值列表。

针对表征 MIS 效应的仿真开销极大问题,对于模型训练样本,分别对关联输入转换时间和输出负载索引值的组合、侧输入转换时间的索引值进行挑选,以在不过分影响精度的同时减小仿真开销。

对预处理后的每组样本数据进行晶体管级仿真得到 MIS 延时,在 SIS 时序库中得到其对应的 SIS 延时。之后通过式(1)计算得到每组样本数据对应的延时校正量,进行时序仿真。

2.2 多输入单元的图表示

本文将多输入单元门转换为图结构,并且根据不同的晶体管连接关系对 MIS 延时影响的程度对异质图的边进行分类,将门单元的晶体管、电源、输出引脚映射为节点,并将各节点之间的关系映射为边,从而将多输入门单元的晶体管级电路表示为一种异质图。

为了清楚表述图结构的异构关系,本文以 AOI22 门为例对图的节点分类和边分类方法进行阐述,AOI22 门的晶体管级电路的节点类型和边类型足以覆盖本文所述的所有节点类型和边类型。对于图 4(a)所示的 AOI22 门的晶体管级电路图,其上拉网络和下拉网络分别由 4 个 PMOS 和 4 个 NMOS 组成,AOI22 的输出上升延时由上拉网络决定,输出下降延时由下拉网络决定。如图 4(b)所示,将上拉网络和下拉网络分别转换为异质图。图中的节点类型分为 3 类,分别为晶体管节点(PMOS/NMOS)、电源节点(VDD/VSS)和输出引脚节点。

晶体管之间是否存在串联和并联关系,对 MIS 延时影响较大,在异构图中将门单元的边分为 5 种边类型,如图 5 所示,分别为晶体管之间有串联关系、晶体管之间有并联关系、两个晶体管分别在两条并联的支路上且至少一

条并联支路上有其他晶体管、晶体管和电源节点之间的连接以及晶体管和输出引脚的连接,通过对这些不同连接关系的学习来提升本文模型的预测效果。

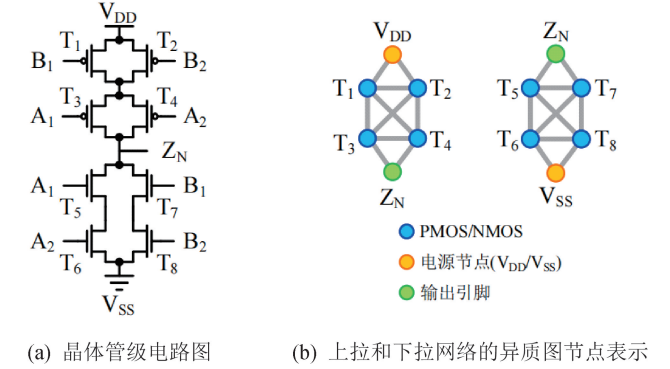


图4 图的节点表示

Fig. 4 Node representation of graphs

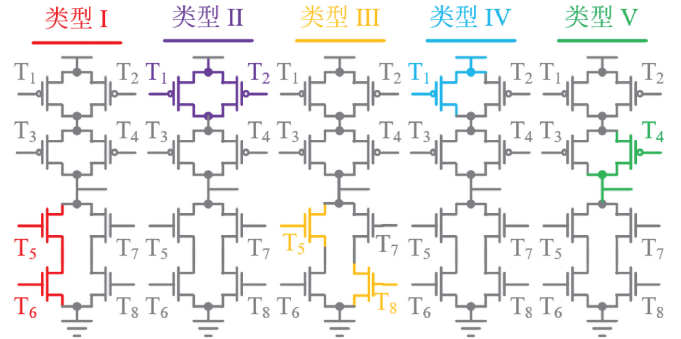


图5 四输入 AOI22 门单元的图表示

Fig. 5 Graphical representation of four input AOI22 gate units

为了捕捉 MIS 效应在每个特定时序弧处的依赖关系,本文提取每个节点的相关物理和时序信息作为特征。在 STA 流程中使用本模型进行计算时,多输入单元的拓扑特征在单元晶体管级网表中获得,电路时序相关特征在 STA 工具基于 SIS 分析的时序报告中获得,包括单元类型、单元尺寸、关联输入和侧输入的输入转换类型、关联输入和侧输入的转换时间、输出负载电容和输入间偏斜。

本文将单元类型及单元的输入模式通过模型的异质图的拓扑结构表征,而将输入间偏斜、输入转换时间、输出负载、单元尺寸等信息作为图中节点的特征,并将 δ_{MSD} 作为节点标签,从而进行模型的训练与预测。表 1 给出模型的节点特征及其解释说明。首先,提取节点类型(node_type)作为特征,以使模型区分晶体管(PMOS/NMOS)、电源节点(VDD/VSS)和输出引脚 3 类不同的节点。其次,提取晶体管节点的晶体管尺寸(node_size)、转换类型(trans_type)、输入转换时间(trans)、侧输入和关联输入之间的偏斜(skew),以及输出节点的负载电容值(load)作为特征,这些参数对于单元 MIS 延时有较大影响。最后,对

节点类型为晶体管类型并且该晶体管的栅极输入为描述时序弧的关联输入的节点进行标记。

表 1 模型特征及其说明

Table 1 Model features and their explanation

特征	特征对应解释	类型
node_type	节点类型	枚举型
node_size	晶体管尺寸	整数型
trans_type	晶体管栅极输入信号转换类型	枚举型
trans	栅极输入信号的转换时间	浮点型
load	输出负载电容	浮点型
skew	栅极输入信号与关联输入信号之间偏斜	浮点型
related_pin	栅极输入为时序弧的关联输入节点	布尔型

本文模型通过对时序弧的 SIS 延时的修正来表征 MIS 延时,因此,将 δ_{MSD} 作为模型标签,为单元 MIS 延时与 SIS 延时的差值,其定义如式(1)所示。

对于参考文献[11]中仅根据单元的晶体管级拓扑结构中晶体管、电源、输出节点这些节点之间实际存在的连接关系进行边分类的方法,节点 T8 和 T5 之间没有边,这显然在 MIS 表征问题中是不合理的,没有对 MIS 效应的先验知识进行有效利用。

2.3 基于图神经网络的 MIS 延时预测模型

本文提出的基于异质 GNN 的 MIS 单元延时模型的整体框架如图 6 所示。

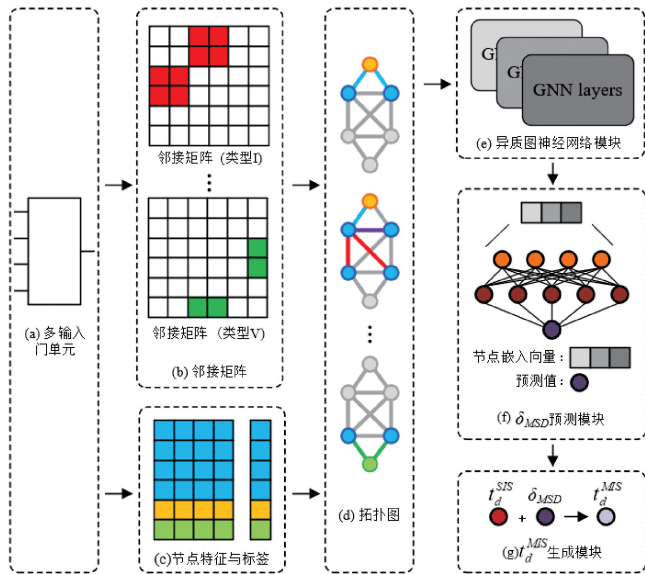


图 6 基于异质 GNN 的 MIS 单元延时模型框架

Fig. 6 MIS unit delay model framework based on heterogeneous GNN

本模型对于图 6(a)所示的多输入门单元,根据多输入门单元中晶体管(NMOS/PMOS)、电源(VDD/VSS)和输出节点之间的连接关系,将这些连接关系转换成一个由节点和边构成的异质图,根据边关系构建与图对应的邻接矩阵,如图 6(b)所示。同时,为图中的每个节点提取时序

信息和物理信息作为节点的特征向量,进而得到初始特征矩阵,为每个节点提取对应的值作为模型训练的标签值,如图 6(c)所示,此时得到了如图 6(d)所示的拓扑图。然后,将此拓扑图输入到图 6(e)所示的异质图神经网络模块进行图嵌入学习,异质图神经网络模块中包含多个网络层,将每个网络层的输出合并后得到节点的最终表示,以使节点表示包含更多的局部信息。之后,如图 6(f)所示,将聚合到邻居信息的节点嵌入向量输入到 MLP 网络中得到相应的值。最后,基于 SIS 时序库得到节点对应的 SIS 延时值,再根据式(1)进行校正得到 MIS 延时值。

3 实验结果与分析

3.1 实验设置

本文使用 Python 环境下 PyTorch 中的工具包进行模型搭建并实现异质图神经网络模型。基于 TSMC 16 nm 工艺,在 TT 工艺角、0.85 V 电压、25 °C 温度下进行模型验证。本文模型及对对比模型均在 48 个 CPU、12 个 CPU 核数以及 1024 GB 存储空间 Linux 服务器上运行。

本文提出的 MIS 单元延时预测框架实验验证单元如表 2 所列,选取的多输入单元的晶体管级电路的图表示足以包括模型考虑的所有节点类型和边类型,本文对每个多输入单元的每种输入模式挑选出 480 组样本点作为训练集,用于模型的训练。

表 2 选取的多输入单元及参数

Table 2 Selected multiple input units and parameters

单元	尺寸	时序弧条数	MIS 输入模式个数
NAND2	1/2/4/8 X	2	2
NAND3	1/2/4/8 X	3	6
NAND4	1/2/4/8 X	4	12
NOR2	1/2/4/8 X	2	2
NOR3	1/2/4/8 X	3	6
NOR4	1/2/4/8 X	4	12
AOI21	1/2/4/8 X	5	6
AOI22	1/2/4/8 X	12	20
AOI32	1/2/4/8 X	23	44
OAI21	1/2/4/8 X	5	6
OAI22	1/2/4/8 X	12	20

3.2 门级验证

3.2.1 不同模型的单元延时预测

本文使用 3.1 节提到的 3 种不同驱动大小的多输入逻辑门单元进行 GNN 预测模型的验证,其中包括 NAND2、AOI21 和 AOI22。将这 3 种单元的训练样本作为训练集数据进行模型训练,并且,与基于参考文献[6]的模型进行了比较,在单元延时预测上进行了模型的精度对比。另外,采用相对均方根误差(relative Root Mean

Square Error, rRMSE)作为精度的评价指标,用于验证模型对单元和单元的延时预测精度。

参考文献[6]是基于 ANN 的 MIS 单元延时模型,与本文应用场景完全一致,接下来说明本文与它的区别。参考文献[6]中的 ANN 模型仅能对不同单元的不同输入模式分别训练,模型不具有迁移能力。而本文可以将各个单元以及各个输入模式的样本数据整合起来,仅需要训练 2 个模型,分别为输出上升的模型和输出下降的模型,也就是说,不管多输入单元的数量有多少,本文仅需要训练 2 个模型就可以对所有单元的所有输入模式进行表征。

对本文提出的基于 ANN^[6] 的 MIS 延时模型在单元上的 MIS 延时预测结果精度进行评估。不同模型得到的各单元的 MIS 延时预测值和 SPICE 仿真得到的 MIS 延时真实值之间的 rRMSE 如表 3 所列,并且给出了 SIS 延时和 MIS 延时之间的 rRMSE,即为测试集样本的标签值与模型预测值的相对均方根误差。其中,单元是指本文将 1 倍、2 倍、8 倍尺寸的 NAND2、NAND3、NAND4、NOR2、NOR3、NOR4、AOI21、AOI22、AOI32、OAI21、OAI22 单元的训练样本作为训练集数据进行模型训练,并对同样的单元提取测试集进行模型精度测试,但每个单元的每个输入模式中的输入转换时间、输出负载以及输入间偏斜的组合在训练集和测试集上均不相同。

表 3 不同模型对单元的 MIS 延时预测的误差(rRMSE)对比

Table 3 Comparison of error of MIS delay prediction (rRMSE) for units by different models

单元	rRMSE/%		
	SIS	ANN	本文
NAND2	44.39 (39.99×)	2.01 (1.81×)	1.11
NAND3	51.47 (39.96×)	2.75 (2.13×)	1.29
NAND4	54.05 (35.33×)	3.31 (2.16×)	1.53
NOR2	44.69 (40.63×)	2.34 (2.13×)	1.10
NOR3	52.95 (39.22×)	2.73 (2.03×)	1.35
NOR4	56.59 (28.14×)	3.54 (1.82×)	1.94
AOI21	39.08 (45.44×)	2.26 (2.63×)	0.86
AOI22	39.30 (40.52×)	1.93 (1.99×)	0.97
AOI32	43.51 (45.80×)	2.02 (2.13×)	0.95
OAI21	38.19 (45.46×)	2.14 (2.55×)	0.84
OAI22	40.03 (35.11×)	1.78 (1.56×)	1.14
平均误差	45.66 (38.40×)	2.44 (2.05×)	1.19

与基于 SIS 分析的单元延时相比,本文提出的 MIS 单元时序模型在不同单元上的 rRMSE 在 0.84%~1.94% 的范围内,相比 SIS 分析精度提高了 28.14~45.80 倍;平均 rRMSE 为 1.19%,相比 SIS 分析精度提高了 38.40 倍。与 ANN^[6] 模型相比,本文提出的 MIS 单元时序模型在不同单元上的精度提高了 1.56~2.6 倍,在这些单元上平均提高了 2.05 倍。该实验结果证明,本文异质 GNN 模型的结构以及其异质图的边分类方法在 MIS 效应的表征上更具有优势。

3.2.2 不同模型的建模开销

本小节从仿真开销角度对本文提出的基于异质 GNN 的 MIS 单元延时模型与基于 ANN^[6] 的 MIS 单元延时模型进行了建模开销对比。此处所述的仿真开销是指获得模型训练样本集所需要的 SPICE 仿真的开销。本文模型和 ANN^[6] 模型的仿真开销对比见表 4。

表 4 本文模型与 ANN^[6] 模型的仿真开销对比

Table 4 Comparison of simulation costs between this model and ANN^[6] model

模型	N_{trr}	N_c	N_{trs}	N_{sr}	N_{sample}
ANN ^[6]	8	8	8	8	222 822(11.3×)
本文模型	40		3	4	195 840(1×)

对于每个单元的每个输入模式,训练集样本特征由关联输入转换时间、输出负载、侧输入转换时间、输入间偏斜组成,因此模型的仿真样本个数的计算方式可以用式(2)表示。

$$N_{sample} = (N_{trr} \times N_c \times N_{trs} \times N_{sr}) \times \sum_{i=1}^{N_{cell}} N_{i,pattern} \quad (2)$$

N_{sample} 为模型仿真样本个数, N_{trr} 为关联输入转换时间的索引值个数, N_c 为输出负载的索引值个数, N_{trs} 为侧输入转换时间的索引值个数, N_{sr} 为输入间偏斜的索引值个数, N_{cell} 为仿真单元个数, $N_{i,pattern}$ 为第 i 个仿真单元对应的 MIS 单元模式个数。本文模型和 ANN^[6] 模型的训练集对应的式(2)中各项的值如表 4 所列。

在每个单元的每个输入模式上,通过计算式(2)括号内数据,得到本文与 ANN^[6] 模型分别需要仿真 480 和 4 096 组训练样本,本文模型相比 ANN^[6] 模型带来了 8.5 倍的仿真开销下降以及降低训练和推理时间开销。本文模型仅需对表 2 中的 11 种单元的 1 倍、2 倍、8 倍共 3 个尺寸进行仿真,而 ANN^[6] 模型则需要对这 11 种单元的 1 倍、2 倍、4 倍、8 倍共 4 个尺寸进行仿真,ANN^[6] 模型需要对 544(= 4×136)个单元输入模式进行仿真,而本文仅需对 408(= 3×136)个单元输入模式进行仿真,对应的单元输入模式是式(2)中参数。通过计算式(2)可以得到本文模型的仿真样本量为 195 840 个,ANN^[6] 模型的仿真样本

量为 2 228 224 个,对应表 4 中,也就是说,受益于本文的训练样本预处理方法和本文的异质 GNN 结构,ANN^[6]模型的仿真开销是本文模型的 11.3 倍,也就是说本文模型的仿真开销降低到了 ANN^[6]模型的 8.8%。

4 结 语

本文提出了一种基于异质图神经网络的预测模型,通过学习晶体管级门级拓扑结构的信息来预测 MIS 带来效应的影响。实验结果与 golden SPICE 仿真结果吻合良好,优于基于先前工作的模型和方法,具有更高的准确率和更低的表征成本。

参考文献

- [1] Multiple Input Switching (MIS) effects in timing[EB/OL]. [2023 - 11]. https://www.tauworkshop.com/2019/slides/TAU19_MIS_Panel_Final.pdf, 2019.
- [2] CHANDRAMOULI V, SAKALLAH K A. Modeling the effects of temporal proximity of input transitions on gate propagation delay and transition time[C]//Proceedings of the 33rd Annual Design Automation Conference, 1996: 617 - 622.
- [3] MAZUMDAR A, SETH A, KOTHA U. Computation reduction for multi - input switching analysis in STA[C]//2019 ACM International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems, 2019: 16 - 21.
- [4] NABAVI - LISHI A, RUMIN N C. Inverter models of CMOS gates for supply current and delay evaluation[J]. IEEE Transactions on Computer - Aided Design of Integrated Circuits and Systems, 1994, 13(10): 1271 - 1279.
- [5] CHATZIGEORGIOU A, NIKOLAIDIS S, TSOUKALAS I. A modeling technique for CMOS gates[J]. IEEE Transactions on Computer - Aided Design of Integrated Circuits and Systems, 1999, 18 (5): 557 - 575.
- [6] RAM O V S S, SAURABH S. Modeling multiple - input switching in timing analysis using machine learning[J]. IEEE Transactions on Computer - Aided Design of Integrated Circuits and Systems, 2020, 40(4): 723 - 734.
- [7] YOUNG T, HAZARIKA D, PORIA S, et al. Recent trends in deep learning based natural language processing [J]. IEEE Computational intelligence magazine, 2018, 13(3): 55 - 75.
- [8] REN H, KOKAI G F, TURNER W J, et al. ParaGraph: Layout parasitics and device parameter prediction using graph neural networks[C]//2020 57th ACM/IEEE Design Automation Conference (DAC), 2020: 1 - 6.
- [9] CHEN H, ZHU K, LIU M, et al. Universal symmetry constraint extraction for analog and mixed - signal circuits with graph neural networks[C]//2021 58th ACM/IEEE Design Automation Conference (DAC), 2021: 1243 - 1248.
- [10] SHI C, PHILIP S Y. Heterogeneous information network analysis and applications[M]. Cham: Springer International Publishing, 2017.
- [11] REN H, FOJTIK M. Nvcell: Standard cell layout in advanced technology nodes with reinforcement learning[C]//2021 58th ACM/IEEE Design Automation Conference (DAC), 2021: 1291 - 1294.

(责任编辑:薛士然 收稿日期:2023-11-23)